

3112m (5)

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-129872

(43) 公開日 平成9年(1997)5月16日

(51) Int.Cl. <sup>6</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 29/78			H 0 1 L 29/78	3 0 1 L
21/336			21/318	A
21/318			29/78	3 0 1 P

審査請求 未請求 請求項の数 3 O L (全 10 頁)

(21) 出願番号 特願平7-284988

(22) 出願日 平成7年(1995)11月1日

(71) 出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72) 発明者 上田 多加志

大阪府大阪市阿倍野区長池町22番22号 シ  
ャープ株式会社内

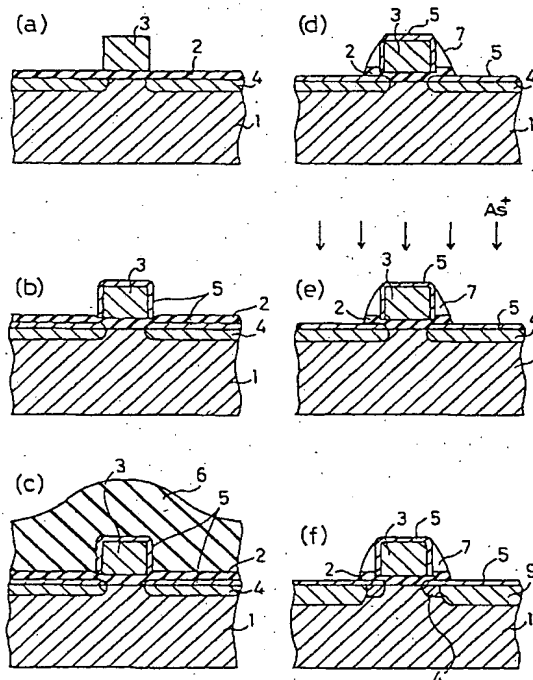
(74) 代理人 弁理士 原 謙三

(54) 【発明の名称】 半導体素子の製造方法

(57) 【要約】

【課題】 L D D構造を有するM O S型半導体素子の製造工程において、サイドウォール7の形成時に、シリコン基板1にまでエッチングが進行してデバイス特性の劣化を招来することを防止する。

【解決手段】 シリコン基板1の界面に窒素含有率の高い窒酸化膜5を形成し、さらに、サイドウォール7のエッチング時に、サイドウォール7/窒酸化膜5の選択比を向上し得るエッチングガスを用いる。



BEST AVAILABLE COPY

## 【特許請求の範囲】

【請求項 1】 MOS 型半導体素子の製造方法において、ゲート酸化膜およびゲート電極をシリコン基板上に形成する第 1 工程と、

100%の  $N_2O$  ガス雰囲気または  $N_2O$  と  $N_2$  との混合ガス雰囲気にて上記シリコン基板を窒酸化する第 2 工程とを含むことを特徴とする半導体素子の製造方法。

【請求項 2】 上記シリコン基板に酸化膜を堆積し、該酸化膜をエッチングしてゲート電極側壁を形成する第 3 工程をさらに含み、

上記第 3 工程のエッチングにおいて、分子式  $C_{m+1}F_{2m+2}$  ( $m$ : 自然数) で示されるガス、分子式  $C_{2n}F_{2n+2}$  ( $n$ : 自然数) で示されるガス、あるいはこれらの混合ガスを用いることを特徴とする請求項 1 記載の半導体素子の製造方法。

【請求項 3】 上記第 2 工程で形成された窒酸化膜の上層に BPSG を堆積し、この BPSG を酸化性雰囲気中でリフローする工程をさらに含むことを特徴とする請求項 1 記載の半導体素子の製造方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 本発明は、半導体素子の製造方法に関し、特に、ライトリー・ドープト・ドレイン (Lightly Doped Drain: 以下、LDD と称する) 構造の MOS 型トランジスタの製造方法に関するものである。

## 【0002】

【従来の技術】 従来、LDD 構造の MOS 型トランジスタの製造方法として以下の方法が知られている。まず、P 型シリコン基板にゲート酸化膜およびゲート電極を形成し、次にこのゲート電極をマスクとして低濃度の n 型不純物をイオン注入することによりソース・ドレインの低濃度 n 型領域を形成する。次に、CVD 法を用いて上記ゲート酸化膜およびゲート電極の表面を覆うように酸化膜を形成する。

【0003】 続いて、ゲート電極の側壁 (サイドウォール: side wall) にだけ上記酸化膜を残して、エッチングにより酸化膜を除去する。そして、ゲート電極と上記のサイドウォールとをマスクとして高濃度の n 型不純物をイオン注入することにより、高濃度 n 型領域を形成する。以上の工程により、LDD 構造を持つ MOS 型トランジスタが製造される。

【0004】 しかし、上記の製造方法は、サイドウォールのエッチバック時の膜厚制御が難しいという問題を有していた。つまり、サイドウォールのエッチバック時に、ゲート酸化膜が完全に消滅してシリコン基板にまでエッチングが進行してしまうと、エッチングのダメージに起因して、拡散層のジャンクションリーク電流の増加や、トランジスタの駆動能力の低下を招来する虞がある。

【0005】 このため、従来、サイドウォールのドライ

エッチング工程を途中で止めて、残りをフッ化水素酸 (HF) 系のウェットエッチャントで処理するドライアンドウェット (Dry and Wet) 法が一部で採用されている。しかしこの手法では、ジャンクションリーク電流の増加の問題は解消されるが、以下のような新たな問題が発生する。

【0006】 すなわち、ゲート電極のサイドウォールとしての CVD 酸化膜は、活性領域 (後にソース・ドレインとなる領域) 上のゲート酸化膜よりもウェットエッチャントでのエッチングレートが大きいので、逆にサイドウォールの CVD 酸化膜が消滅したり、あるいは消滅しないまでも極めて小さくなり、サイドウォールとしての役目を果たさなくなる虞がある。従って、活性領域上にゲート酸化膜が残留する程度でウェットエッチングを終了する必要がある。

【0007】 ところが、ウェットエッチングのエッチレートの変動や、CVD 酸化膜の堆積膜厚のばらつき等によって、活性領域上に残留するゲート酸化膜の膜厚は容易に変動する。この残膜の膜厚変動は、以降のソース・ドレイン領域へのイオン注入工程において問題となる。すなわち、残膜が厚くなればなるほどイオン注入時に膜中で停止するイオンが増加し、ソース・ドレインの実効不純物濃度が低下してコンタクト抵抗の増大を招来する。

【0008】 また一方、例えば特開昭 62-13602 2 号公報または特開昭 62-173763 号公報等に開示されているように、CVD 酸化膜とシリコン基板との間に、シリコン基板へのエッチングの進行を抑制するためのエッチングストップとして、窒化膜等を設ける方法が提案されている。上記従来の窒化膜は、図 3 (a) にその一例を示すように、ゲート電極 33 およびゲート酸化膜 32 の表面に設けられ、同図 (b) に示すようにこの窒化膜 35 の上層に CVD 法により酸化膜 36 を堆積し、さらに同図 (c) に示すように、上記酸化膜 36 をエッチングしてゲート電極 33 の側面にサイドウォール 37 を形成する際に、シリコン基板 31 にエッチングが進行することを防止する。このように、エッチングストップを設けることによって、シリコン基板のオーバーエッチングの問題自体はほぼ回避できる。

【0009】 また、MOS トランジスタの層間絶縁膜として、ボロンとリンを含むシリコン酸化膜 (以下、BPSG (Boron Phosphorus Silicate Glass) 膜と略称する) をリフローにより形成する方法が知られている。この BPSG 膜は、熱処理によって自己平坦化する特性を持ち、アルミニウム等の配線の被覆性を向上させる効果がある。

【0010】 BPSG のリフローは、不活性雰囲気よりも酸化性雰囲気で行う方が、その平坦性が向上するという点では好ましく、例えば高圧水蒸気ガス雰囲気で行う方法が従来提案されている。しかし、酸化性雰

気下でのリフローは、BPSG中を拡散した酸素によってシリコン基板が酸化され、種々の半導体素子特性の劣化を生じるという点で問題がある。

【0011】このため、例えば、特開昭58-98934号公報、特開昭61-247073号公報、特開昭63-265431号公報、または特開平4-196222号公報には、図4(a)または(b)に示すように、CVD法によってBPSG層46の下方に堆積させた窒化シリコン(SiN)47を酸化性雰囲気下での酸化バリアとして使用する方法が開示されている。なお、同図(a)および(b)において、41はシリコン基板、42はゲート酸化膜、43はゲート電極、45は活性領域であり、同図(b)においてゲート電極43上に堆積されているのは、CVD法による酸化膜48である。

【0012】

【発明が解決しようとする課題】しかしながら、上記従来の方法では、エッチングストップあるいは酸化バリアとして形成した窒化膜によって、他の問題が発生する。一つは、窒化膜の膜ストレスによるジャンクションリーク電流の増加や、ゲート酸化膜のホットエレクトロン耐性の低下といったデバイス特性の劣化である。もう一つは、CVD法により形成された窒化膜のプリカーサー原料に起因したSi-HあるいはN-H結合がSiN膜中に残留し、以降の熱処理で解離した水素がゲート酸化膜の界面準位を変動させるという点である。

【0013】このような窒化膜の欠点を考慮して、窒化膜を用いる代わりに、前述のドライアンドウェット法においてドライおよびウェットエッチングの条件をそれぞれ適正化し、ウェットエッチング工程にて活性領域の酸化膜を一旦除去した後、再び熱酸化を行って活性領域表面を酸化して熱酸化膜を形成した後に、ソース・ドレインのイオン注入を行う方法も知られている。つまり、図5(a)に示すようにMOS型トランジスタの上にCVD法により酸化膜56を堆積し、ドライエッチング工程によって、同図(b)に示すように、この酸化膜56を途中までエッチングする。さらに、ウェットエッチング工程により、ゲート電極53の側面にサイドウォール57を残して上記酸化膜56を除去する。この時、同図(c)に示すように、活性領域の酸化膜56は完全に除去される。次に、熱酸化を行って、同図(d)に示すように、活性領域54表面に熱酸化膜60を形成する。この場合、活性領域54に形成した熱酸化膜60は、ソース・ドレインの面チャネリングの防止、以降の注入層の活性化アニールでのイオンのアウトデフューズとオートドーブとの防止という点で効果を奏する。しかしながら、この方法は煩雑な工程を必要とし、製造コストの高騰を招来するという問題点を有している。

【0014】本発明は上記した各問題点に鑑みなされたもので、従来の窒化膜の問題点であった、膜ストレスや水素によるデバイス特性の劣化の解決を図り、より簡略

化された工程でLDD構造のMOSトランジスタを提供することを目的とする。

【0015】

【課題を解決するための手段】上記の課題を解決するために、請求項1記載の半導体素子の製造方法は、MOS型半導体素子の製造方法において、ゲート酸化膜およびゲート電極をシリコン基板上に形成する第1工程と、100%のN<sub>2</sub>Oガス雰囲気またはN<sub>2</sub>OとN<sub>2</sub>との混合ガス雰囲気にて上記シリコン基板を窒酸化する第2工程とを含むことを特徴としている。

【0016】請求項1記載の製造方法では、第1工程においてゲート酸化膜およびゲート電極を形成したシリコン基板を、第2工程において窒酸化する。これにより、ゲート電極の表面に窒酸化膜が形成されると共に、シリコン基板表面のゲート酸化膜中をN<sub>2</sub>Oが拡散して基板表面に到達して基板のシリコン原子と反応することにより、シリコン基板の界面に窒酸化膜が形成される。これらの窒酸化膜は、MOS型の半導体素子の製造方法における以降の周知の工程において、種々の効果を発揮する。例えば、ソース・ドレイン領域へのイオン注入の工程においては注入イオンの面チャネリングを防止する作用がある。あるいは、イオン注入後のアニール工程においては、注入イオンのアウトデフューズバリアあるいはオートドーブバリアとして作用する。また、一般にサイドウォールと称されるゲート電極側壁を形成するためのエッチング工程においては、オーバーエッチングを抑止するエッチングストップとして機能する。

【0017】従来、エッチングストップとして、CVD法等によって形成されていた窒化膜は、その膜中にプリカーサー原料に起因してSi-H結合あるいはN-H結合が残留し、その後の熱処理工程においてこれらの結合から解離した水素がゲート酸化膜にトラップされ、ホットキャリア耐性を劣化させること、あるいはその結果発生する電子トラップによって半導体素子の閾値が変化するという問題を有していた。これに対し、上記の製造方法による窒酸化膜中にはSi-H結合あるいはN-H結合はほとんど残留しないため、上記の問題は解消される。

【0018】また、上記の製造方法にて形成された窒酸化膜は、従来のLPCVD法等により形成された窒酸化膜と比較して、膜ストレスが低く抑えられている。つまり、窒酸化膜の膜ストレスに起因するジャンクションリーク電流の増加やゲート酸化膜のホットエレクトロン耐性の低下が抑制され、従来よりも半導体素子特性の向上を図ることができる。

【0019】また、近年、ゲート酸化膜としてN<sub>2</sub>Oで処理した窒酸化膜を用いる提案もなされているが、ゲート酸化膜として用いられる窒酸化膜は、その窒素含有率を1%程度と低く抑えることが必要である。これは、ゲート酸化膜中の窒素含有率が高いと、導入された窒素に起因するシリコン基板表面のマイクロラフネスの増加によ

って、絶縁破壊耐圧の低下やT D D B (Time Dependent Dielectric Breakdown) による信頼性の低下というような不都合が生じることによる。窒酸化膜がシリコン基板へのエッチングの進行を抑止し得るためには、膜厚が厚いかあるいは窒素含有率が高いかのいずれかの条件を満たさなければならない。つまり、このようなゲート酸化膜も、そのままエッチングストップとして用いるには窒素含有率が充分ではないが、上記第2工程において再窒酸化を行って窒素含有率を向上させれば、エッチングストップとして有効に作用し得る。

【0020】以上のように、請求項1の製造方法によれば、半導体素子特性の劣化を生じずに、MOS型半導体素子の各工程において上述したような種々の効果を発揮し得る窒酸化膜を形成することが可能となる。

【0021】請求項2記載の半導体素子の製造方法は、請求項1記載の製造方法において、上記シリコン基板に酸化膜を堆積し、該酸化膜をエッチングしてゲート電極側壁を形成する第3工程をさらに含み、上記第3工程のエッチングにおいて、分子式  $C_{m+1}F_{2m+2}$  ( $m$ : 自然数) で示されるガス、分子式  $C_{2n}F_{2n+2}$  ( $n$ : 自然数) で示されるガス、あるいはこれらの混合ガスを用いることを特徴としている。

【0022】請求項2記載の製造方法では、第1工程においてゲート酸化膜およびゲート電極を形成したシリコン基板を第2工程において窒酸化し、さらにこのシリコン基板に酸化膜を堆積し、ゲート電極の側方にのみこの酸化膜が残留するようにエッチングを行う。この時、エッチングガスとして、分子式  $C_{m+1}F_{2m+2}$  ( $m$ : 自然数) で示されるガス、分子式  $C_{2n}F_{2n+2}$  ( $n$ : 自然数) で示されるガス、あるいは、これらのガスの混合ガスを用いる。

【0023】第2工程で形成された窒酸化膜は、100%の  $N_2O$  ガス雰囲気、または  $N_2O$  を  $N_2$  で希釈することにより  $N_2O$  の分解が抑制される混合ガス雰囲気で形成されているので、窒酸化が効率良く進み、比較的高い窒素含有率を有している。このため、上記窒酸化膜は、第3工程においてオーバーエッチングを抑止するエッチングストップとして有効に機能し得る。

【0024】しかし、上記窒酸化膜をエッチングストップとしてさらに効果的に作用させるためには、窒酸化膜に対するシリコン基板上の酸化膜の選択比を相対的に向上させることが望ましい。このためには、エッチング時に窒酸化膜の表面にカーボン化合物を堆積させて、窒酸化膜のエッチングレートを低下させることが効果的である。

【0025】この様な観点から、第3工程のエッチング時に使用するガス種として、CF系ガスの内、フッ素よりカーボンの含有率が高いものが好適に用いられる。すなわち、分子式  $C_{m+1}F_{2m+2}$  ( $m$ : 自然数) で示されるフルオロシクロアルカンの一族や、あるいは、分子式  $C_{2n}F$

$2m+2$  ( $n$ : 自然数) で示されるフルオロアルケンの一族を用いることができる。また、これらの混合ガスを用いることも可能であり、同様の効果が得られる。

【0026】この種のガスを用いれば、カーボンプラズマによって発生するカーボン堆積物が窒酸化膜の表面を覆う頻度が増加するため、窒酸化膜のエッチングレートは低下し、一方、酸化膜ではカーボンプラズマと反応して生じる  $CO_2$  によって酸化膜のエッチングがさらに進行する。この結果、従来一般的に用いられている  $CF_4$  や  $CH_3F$  系のガスによるエッチングと比較して、窒酸化膜/酸化膜の選択比を向上させることができる。このように、窒酸化膜/酸化膜の選択比を向上させたことにより、酸化膜のエッチング時に窒酸化膜が消滅してエッチングがシリコン基板にまで進行するような事態を回避することができる。

【0027】さらに、上述のように窒酸化膜/酸化膜の選択比を向上させたことにより、窒酸化膜の膜厚が従来よりも薄い場合でもエッチングストップとして有効に作用させることが可能となる。つまり、第2工程で形成される窒酸化膜は比較的薄くても良く、これにより、第3工程の後のイオン注入工程において注入イオンが窒酸化膜中で停止する可能性が低くなり、半導体素子特性のばらつきを防止することができる。

【0028】また、窒酸化膜が完全に除去されないようにシリコン基板上に残留させることが容易となる。この残留窒酸化膜は、後のイオン注入工程における注入イオンの面チャネリングの防止や、イオン注入層の活性化アニール工程における注入イオンのアウトデフューズやオートドーピングの防止において有効に作用する。従来、上記の残留窒酸化膜と同様の作用を得ることを目的として、活性領域に熱酸化膜を形成する方法が知られている。上記従来の方法では、活性領域に形成した酸化膜をエッチングにて一旦除去し、再び熱酸化を行って活性領域表面に熱酸化膜を再形成するという煩雑な手順が必要であった。これに対して、本発明の製造方法では、比較的簡単な手順で、上記熱酸化膜と同様の機能を有する窒酸化膜を形成することができるので、製造コストの削減を図ることができるという効果をも奏する。

【0029】以上のように、請求項2記載の製造方法によれば、ゲート電極の側壁を形成するためのエッチング工程において窒酸化膜/酸化膜の選択比を向上させることが可能となり、より簡略化された工程で、エッチングストップとして機能し得る窒酸化膜を形成することができる。

【0030】請求項3記載の半導体素子の製造方法は、請求項1記載の製造方法において、上記第2工程で形成された窒酸化膜の上層にBPSGを堆積し、このBPSGを酸化性雰囲気でリフローする工程をさらに含むことを特徴としている。

【0031】請求項3記載の製造方法では、第1工程に

においてゲート酸化膜およびゲート電極を形成したシリコン基板を第2工程において窒酸化して窒酸化膜を形成し、さらに、この窒酸化膜の上層にBPSG (Boron Phosphorus Silicates Glass)を堆積し、このBPSGのリフローを酸化性雰囲気で行う。BPSGのリフローを酸化性雰囲気で行うことにより、例えば窒素ガスのような不活性雰囲気下でのリフローに比較して、リフロー後のBPSGの平坦性を向上させることができる。なお、酸化性雰囲気としては、例えば、乾燥酸素雰囲気、ハロゲン含有酸化性雰囲気、あるいは含水蒸気雰囲気などを挙げることができる。

【0032】ところで、従来は、酸化性雰囲気でのリフローは、BPSGの下方のシリコン基板やゲート電極にまで酸化が進行すると、P型領域のコンタクト抵抗の増大やゲート周囲のゲート酸化膜の増大によるトランジスタスピードの低下というような種々の問題を引き起こす可能性があった。このような現象は、含水蒸気雰囲気のような強酸化性雰囲気において顕著に発生し得る。しかし、上記の製造方法によれば、第2工程で形成された窒酸化膜が酸化バリアとして機能するため、上記のような問題の発生を回避することが可能となる。

【0033】すなわち、上記の製造方法では、第2工程における窒酸化で形成された窒酸化膜は、シリコン基板界面において、窒酸化膜表層の窒素含有率がピーク濃度を持つ。また、 $N_2O$ ガス雰囲気または $N_2O$ と $N_2$ との混合ガス雰囲気で形成されたことにより、上記窒酸化膜は、比較的高い濃度の窒素含有率を有しており、酸化バリアとして酸素または酸化種の拡散を抑制するために有効に機能し得る。

【0034】また、BPSGのリフローを酸化性雰囲気で行うことにより、処理温度が比較的低温であっても、リフロー形状の平坦化が促進される。このように低温下でのリフローが可能となることにより、基板の不純物の拡散を抑制することができるという効果も奏する。

【0035】以上のように、請求項3記載の製造方法では、酸化性雰囲気で行うBPSGのリフローを行ってBPSGの平坦性を向上させることができ、さらに、この時に第2工程で形成された窒酸化膜が酸化バリアとして機能して、シリコン基板の酸化およびゲート電極の酸化が防止されるため、種々の半導体特性の劣化を防止することが可能となる。より詳しくは、P型領域のコンタクト抵抗の増大、トランジスタスピードの低下、配線抵抗の増加等を防止することが可能となる。

【0036】

【発明の実施の形態】

【実施の形態1】本発明の実施の一形態について図1

(a)ないし(f)に基づいて説明すれば、以下のとおりである。なお、図1(a)ないし(f)は、MOS型トランジスタの製造方法の主要段階における状態を模式的に示す断面図である。同図(a)に示すように、ま

ず、p型シリコン基板1の表面に、ゲート酸化膜2を成膜し、さらにその表面にゲート電極3を形成した。なお、上記ゲート酸化膜2の厚みは14nmとした。さらに、加速電圧60keV、ドーズ量 $10^{13}/cm^2$ でリンをイオン注入し、LDD層4を形成した。

【0037】続いて、シリコン基板1をフッ化水素酸(HF)で前洗浄し、ゲート酸化膜2を5nmエッチングした後、熱処理炉へ導入して100%  $N_2O$ 雰囲気で、950℃で30分の熱処理を行い、図1(b)に示すように、LDD層4上およびゲート電極3の周りに、窒酸化膜5を約4nmの膜厚になるように成膜した。この時、窒素がシリコン界面にピークを持つ濃度分布で導入され、自ら成長した窒酸化膜が $N_2O$ の拡散バリアとなるために、窒酸化膜5の成長は自然に停止する。

【0038】なお、上記の窒酸化処理をゲート電極3のパターニング後に行ったのは、以下の理由による。すなわち、上述の条件で形成される窒酸化膜5は窒素含有率が高く、シリコン界面のマイクロラフネスが大きいため、ゲート絶縁膜としては適さない。このため、ゲート電極3およびゲート酸化膜2を形成した後に窒酸化を行って、上記窒酸化膜5を形成することが必要である。なお且つ、上記窒酸化膜5は、以下に説明するが、サイドウォールのエッチング時にオーバーエッチングを抑制するエッチングストップとして機能する必要があるため、下記で説明するHTO膜6の堆積前に形成しなければならない。

【0039】上述のように、窒酸化によって窒酸化膜5を形成した後に、CVD (Chemical Vapor Deposition) 法によって、HTO (High Temperature Oxide)を300nmの厚みで堆積させ、図1(c)に示すようにHTO膜6を形成する。

【0040】その後、 $C_4F_8$ ガスを用い、200Wの低パワーで、ゲート電極3上およびLDD層4上のHTO膜6をエッチングによって除去する。この際、LDD層4上に形成されている窒酸化膜5がエッチングストップとして機能する。しかも、エッチングガスの種類および照射光の条件を上記のように設定したことによって、 $SiO_2/SiN$ の選択比が向上し、図1(d)に示すように、窒酸化膜5がおおよそ2nmの残膜として残り、ゲート電極3の側面には、サイドウォール7が形成される。

【0041】続いて、図1(e)に示すように、この窒酸化膜5を通して、加速電圧60keV、ドーズ量 $10^{15}/cm^2$ で砒素をイオン注入した。このイオン注入時に、表層の窒酸化膜5は、イオンの面チャネリング抑制層として作用する。

【0042】次に、このシリコン基板1を熱処理炉へ導入し、不活性雰囲気下で800℃で1時間のアニールを行った。これにより、図1(f)に示すように、LDD層4とソース・ドレイン領域9とが活性化されて形成される。なお、このアニール時に、活性領域上におおよそ2nm

の膜厚で残存している窒酸化膜5が、注入イオンのアウトデフューズバリアおよびオートドープバリアとして効果的に作用する。

【0043】以上の工程により、LDD構造を持つMOS型トランジスタが完成する。

【0044】上記のように、本実施の形態に係る製造方法によれば、サイドウォールのエッチバック時に、窒酸化膜5が完全に除去されずに、活性領域に約2nmの残膜として残っているのを、上記のエッチバック時にシリコン基板1にまでエッチングが進行することを防止する。さらに、上記窒酸化膜5の残膜は、その後のイオン注入工程において注入イオンの面チャネリングを防止し、さらにその後の注入イオンの活性アニール時には、注入イオンのアウトデフューズバリアあるいはオートドープバリアとして作用する。また、窒酸化膜5の残膜の膜厚はイオン注入の妨害にならない程度に十分に薄い。この結果、半導体素子のデバイス特性の劣化を防止することができる。

【0045】また、従来のCVD法で形成された窒酸化膜と比較すると、本実施形態における窒酸化膜5は膜中にSi-H結合あるいはN-H結合を含んでいない。つまり、上記従来の窒酸化膜は、熱処理時にこれらの結合から解離する水素がゲート酸化膜の界面準位を変動させるという問題点を有していたが、本実施形態における窒酸化膜5にはSi-H結合およびN-H結合が残留する虞はないので、水素による半導体素子特性の劣化の問題は解消される。

【0046】また、窒酸化膜5のサイドウォールエッチング工程後の残膜の膜ストレスを測定すると、 $2 \sim 4 \times 10^9 \text{ dyn/cm}^2$ の圧縮応力であった。これに対して、従来一般的にエッチングストップとして用いられているもので、膜ストレスが比較的小さいと言われている減圧CVD法によるナイドライド膜の膜ストレスは、 $12 \sim 18 \times 10^9 \text{ dyn/cm}^2$ 程度の引っ張り応力である。このことから明らかのように、本実施の形態の製造方法によれば、窒酸化膜の膜ストレスを低減することが可能である。また、半導体素子形成後には、金属配線との間に絶縁保護膜を形成する必要があるが、これら絶縁膜は、CVD法による $\text{SiO}_2$ 膜(NSG、BPSG等)が用いられており、それらの応力ストレスは一般に引っ張り応力である。本実施形態における $\text{N}_2\text{O}$ 窒酸化膜は応力が圧縮ストレスであるため、上記のCVD法による $\text{SiO}_2$ 膜の膜ストレスを緩和する効果もある。

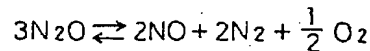
【0047】なお、窒酸化膜5が上記のサイドウォールのエッチング工程においてエッチングストップとして有効的に作用するためには、窒酸化膜5の膜厚が厚いかあるいは窒酸化膜5の窒素含有率が高いことが必要である。前記の工程において、窒酸化膜5の成長膜厚は処理温度に依存し、 $950^\circ\text{C}$ の条件下では窒酸化膜5の膜厚は約 $3 \sim 4 \text{ nm}$ 程度となり、比較的薄い。このため、窒酸化

膜5の窒素含有率をできるだけ高くするために、前記したように、熱処理炉内で100%  $\text{N}_2\text{O}$ 雰囲気中で処理することが好ましく、これにより、窒酸化膜5の窒素含有率を比較的高い濃度(3~4%程度)とすることができる。

【0048】なお、上記の100%  $\text{N}_2\text{O}$ 雰囲気中で処理する方法以外に、 $\text{N}_2\text{O}$ ガスを $\text{N}_2$ ガスで希釈した雰囲気中で処理することも窒素含有率を向上させる上で有効である。この理由を以下に説明する。 $\text{N}_2\text{O}$ の平衡状態は下記の化1に示すとおりである。

【0049】

【化1】



【0050】上記化1に示すように、 $\text{N}_2\text{O}$ ガスを $\text{N}_2$ ガスで希釈することによって、平衡状態は左辺側へ移動する。つまり、 $\text{N}_2\text{O}$ が分解して窒酸化に寄与しなくなること防止し、窒酸化膜5の窒素含有率を向上させることができる。

【0051】また、 $\text{N}_2\text{O}$ によるSiの窒酸化は、通常の酸化反応と同程度に反応時の活性化エネルギーが高いため、低温では窒酸化が生じ難く、熱処理炉内での処理温度が高温になるほど窒酸化膜5の成長膜厚は大きくなる。しかし、過大な高温下では、 $\text{N}_2\text{O}$ の分解で生じた $\text{O}_2$ によって酸化が進行するため、窒酸化膜5の窒素含有率が低下するという問題が生じる。従って、処理温度は、 $700 \sim 1000^\circ\text{C}$ 、さらに好ましくは $850 \sim 950^\circ\text{C}$ の範囲に制御することが望ましい。

【0052】また、窒酸化を行う際に、活性領域(LDD層4)上のゲート酸化膜2の膜厚が薄いほど $\text{N}_2\text{O}$ が拡散しやすいので有利であるが、近年はゲート酸化膜の膜厚を12nm程度に形成することが主流となっており、また、このゲート酸化膜2はゲート電極3の形成時のエッチング処理で膜減りして十分に薄くなっているため特に問題とはならない。

【0053】また、近年は、比較的ソフトな $\text{N}_2\text{O}$ 処理によって1%程度の低濃度の窒素含有率を持たせた窒酸化膜をゲート絶縁膜として用いる提案もなされているが、このような窒酸化膜では窒素含有率が低いために、サイドウォールのエッチバック時には酸化膜との選択比が低く、エッチバックの制御が難しい。しかしこのような窒酸化膜を用いた場合であっても、本実施形態で説明したようにハードな再窒酸化を行うことにより、窒素含有率を向上させてエッチングストップとして有効に機能させることが可能となる。

【0054】なお、上記した実施の形態は、本発明を限定するものではなく、発明の範囲内で種々の変更が可能である。例えば、上記では、エッチングガスとして $\text{C}_4\text{F}_8$ ガスを用いた例を説明したが、これに限らず、 $\text{CF}_4$ 系ガスの内、フッ素よりもカーボンの多いガス種、すなわち、 $\text{C}_{n+1}\text{F}_{2n+2}$  または  $\text{C}_{2n}\text{F}_{2n+2}$  の分子式で表されるフルオ

ロシクロアルカンやフルオロアルケン系のガスを用いることにより、 $\text{SiO}_2/\text{Si}_3\text{N}_4$ の選択比を向上させ、LDDサイドウォールのエッチバック時に窒酸化膜5を残存させることが可能である。

【0055】なお、実験によって、上述のガス種と、従来一般的にエッチングガスとして用いられている $\text{CF}_4$ や $\text{CHF}_3$ 系ガスとのそれぞれにおける $\text{SiO}_2/\text{Si}_3\text{N}_4$ の選択比を実測すると、従来ガスの1～2に対して、上述の $\text{C}_{n+1}\text{F}_{2n+2}$ または $\text{C}_{2n}\text{F}_{2n+2}$ の分子式で表されるフルオロシクロアルカンやフルオロアルケン系のガスによるエッチングでは10～20という高い選択比を得られることが確認できた。従って、窒酸化膜5の膜厚が3～4nmと比較的薄くても、十分にエッチングストップとして機能させることが可能である。また、窒酸化膜5の膜厚が薄いことにより、イオン注入の工程において、注入イオンが窒酸化膜5中で停止する確率が低くなり、半導体素子特性のばらつきが抑制されるという効果を奏する。

【0056】また、 $\text{SiO}_2/\text{Si}_3\text{N}_4$ の選択比をさらに向上させるためには、エッチング時にRFパワーを下げて窒酸化膜5表面にカーボン化合物を堆積し易くすることや、発生するカーボン化合物が蒸気化せずにシリコン基板1表面に堆積しやすいようにエッチング温度を下げることや、真空度を悪化させてより高圧でエッチングを行うことなどが効果的である。

【0057】また、窒酸化を行う際に、LDD層4への注入イオンの種類やそのドーズ量によって、活性領域に残留欠陥が導入されることが危惧される場合には、イオン注入後にシリコン基板1を熱処理炉へ導入し、 $\text{N}_2$ 雰囲気中でアニールし、さらにガスを $\text{N}_2\text{O}$ に替えて窒酸化する一括熱処理を行っても良い。

【0058】なお、上記の窒酸化処理は、一般の熱処理炉の他に、ランプアニールを用いて行っても良い。ランプアニールは、シリコンに吸収される波長を含む光を照射してシリコンウェハ自体を発熱させ、被処理物を急速に昇温させることが可能であり、しかも成膜される窒酸化膜の膜厚は処理時間に比例して成長するので、膜厚の制御が容易である。

【0059】なお、ランプアニールを用いれば、比較的容易に厚膜を形成することができるが、窒酸化膜のエッチング後の残膜厚がデバイス特性に影響を及ぼすため、窒酸化膜を厚く形成した後に多くエッチングして膜厚を制御する方法よりも、薄膜を制御良く成長させると共にエッチング時の選択比を向上させて窒酸化膜の残膜の厚みを保つ方法の方が、酸化膜の膜厚変動を吸収できる。さらに、後者の方法の方が、パターンの微細化に伴って厳しくなるマイクロローディング効果の観点からも有利である。

【0060】〔実施の形態2〕本発明の実施に係る他の形態について、図2(a)ないし(d)に基づいて説明すれば以下のとおりである。なお、同図(a)ないし

(d)は、MOS型トランジスタの構成を主な製造工程の順に示す断面図である。

【0061】MOS型トランジスタを製造する際に、まず、同図(a)に示すように、P型シリコン基板11上に12nmの膜厚でゲート酸化膜12を形成し、さらに、CVD法を用いてシリサイド膜を400nmの厚さで堆積し、このシリサイド膜をフォトリソグラフィーによってパターンニングし、ゲート電極13を形成する。

【0062】次に、上記のシリコン基板11全体を洗浄した後に熱処理炉に導入し、100% $\text{N}_2\text{O}$ 雰囲気中で950℃で30分間処理する。この処理によって、ゲート電極13のエッチング処理と洗浄とを経て5nmにまで膜減りしていたゲート酸化膜12は、 $\text{N}_2\text{O}$ ガスによってシリコン基板11が窒酸化されるのに伴って、その厚みが8nmに増加する。また、この時、同図(b)に示すように、ゲート電極13の周りとシリコン基板11の界面に、新たに窒酸化膜( $\text{Si}_3\text{N}_4$ )14が9nm成長した。

【0063】なお、上記の窒酸化処理は、一般の熱処理炉の他に、ランプアニールを用いて行っても良い。ランプアニールは、シリコンに吸収される波長を含む光を照射してシリコンウェハ自体を発熱させ、被処理物を急速に昇温させることが可能である。また、ランプアニールを用いた窒酸化処理で形成される窒酸化膜の膜厚は、処理時間に比例して成長するので、膜厚の制御が容易である。このようなランプアニールの具体的な装置例としては、ヒートパルス社製のヒートパルス4100等を挙げることができる。

【0064】続いて、周知の方法に従ってソース・ドレイン15を形成し、これにより、MOSトランジスタが完成する。このMOSトランジスタ上に、同図(c)に示すように、100nmの酸化シリコン(NSG)膜および400nmのBPSSG膜を、CVD法により順次積層してBPSSG/NSG積層膜16を形成し、続いてBPSSGをリフローすると、同図(d)に示すように、平坦化した表面が得られる。

【0065】なお、上記のBPSSGのリフローは、850℃のパイロ酸化雰囲気中で30分間の処理を実施する。このように、パイロ酸化雰囲気でのリフローを行うことにより、例えば $\text{N}_2$ ガスのような不活性雰囲気でのリフローに比較してBPSSGの流動性が増し、その平坦性を向上させることができる。また、上記のBPSSG/NSG積層膜16を形成する際に、プリカーサ原料として、従来一般的に用いられている $\text{SiH}_4$ ではなく、テトラエトキシシラン(TEOS)系の原料を用いることにより、平坦性をさらに向上させることができる。

【0066】また、パイロ酸化雰囲気のような酸化性雰囲気では、上記のようにリフロー形状の平坦化が促進されるので、比較的低温下での処理が可能である。低温下の処理は、シリコン基板11の不純物の拡散を抑制する上で望ましく、半導体素子の信頼性を向上させ得るとい

う効果を奏する。

【0067】上記のように、BPSGの平坦性を向上させたことにより、アルミニウム等の金属配線を行う際に段差が低減されるので、配線の自由度および信頼性を向上させることができる。また、シリコン界面に形成された窒酸化膜14が、リフロー時の酸化バリアとして機能するので、シリコン基板11やゲート電極13の酸化によって生じる種々の半導体素子特性の劣化を防止することができる。具体的には、シリコン基板の酸化によるP型領域のコンタクト抵抗の増大、ゲート周囲のゲート酸化膜の増大によるトランジスタスピードの低下、あるいはゲート電極の酸化による配線抵抗の増加というような不具合の発生を抑止することができる。

【0068】なお、上記では、BPSGのリフローをバイロ酸化雰囲気（水蒸気雰囲気）で行う例を説明したが、この他に、乾燥酸素雰囲気やハロゲン含有酸化性雰囲気で行っても良い。一般に、水蒸気雰囲気におけるリフロー処理が、BPSGの平坦化において最も顕著な効果が期待できるが、乾燥酸素雰囲気およびハロゲン含有酸化性雰囲気においてもほぼ同様の効果を奏する。また、ハロゲン含有酸化性雰囲気でのリフローは、ハロゲンの効果で結晶欠陥が抑制される点と、例えば HCl と O<sub>2</sub> とから副成される少量の H<sub>2</sub>O によって BPSG の平坦性のさらなる改善が期待できる点で効果的である。

【0069】さらに、窒酸化膜14は、Si-H結合および N-H結合を含有しないので、水素に起因して生じる、ゲート酸化膜の界面準位の変動あるいはトランジスタ閾値の変動というような半導体素子特性の劣化が防止される。

【0070】また、前述のNSG膜はBPSGの不純物拡散バリアとして機能するが、窒酸化膜が不純物拡散バリアの機能も有するので、省略することもできる。この場合、デバイス段差をさらに低減することが可能となる。

【0071】さらに、層間膜としてスピノングラス（SOG）を用いる場合、SOG中には水分が含まれているが、窒酸化膜14が水分の拡散を防止するバリアとしても機能するため、水分によって半導体素子のホットエレクトロン耐性が劣化することを防止できるという複合的な効果も奏する。

【0072】なお、上記では、層間絶縁膜としてBPSGを用い、BPSGの堆積前に窒酸化膜14を形成する例を説明したが、この他に、膜厚が十分に薄く、膜中を N<sub>2</sub>O が拡散してシリコン基板11と反応を生じるような種類の膜であれば、層間絶縁膜の形成後に窒酸化を行うような手順としても良い。

【0073】また、N<sub>2</sub>Oによる窒酸化膜の形成は、シリコン基板11の上方に形成される多結晶シリコンに適用できることは言うまでもない。

【0074】さらに、上記では、窒酸化を行う際に 100

% N<sub>2</sub>O 雰囲気で行う例を説明したが、この他に、前記実施の形態1で述べたように、N<sub>2</sub>と N<sub>2</sub>O との混合ガスを用いても良い。

【0075】

【発明の効果】以上のように、請求項1の発明に係る半導体素子の製造方法は、ゲート酸化膜およびゲート電極をシリコン基板上に形成する第1工程と、100%の N<sub>2</sub>O ガス雰囲気または N<sub>2</sub>O と N<sub>2</sub> との混合ガス雰囲気にて上記シリコン基板を窒酸化する第2工程とを含んでいる。

【0076】これにより、半導体素子の劣化を招来する水素を含まず且つ膜ストレスが低減された窒酸化膜を形成することが可能となり、より簡略化された工程によって半導体素子を提供することが可能となると共に、該半導体素子の特性を向上させることができるという効果を奏する。

【0077】請求項2の発明に係る半導体素子の製造方法は、シリコン基板に酸化膜を堆積し、該酸化膜をエッチングしてゲート電極側壁を形成する第3工程をさらに含み、上記第3工程のエッチングにおいて、分子式 C<sub>m-1</sub>F<sub>2m+2</sub>（m：自然数）で示されるガス、分子式 C<sub>2n</sub>F<sub>2n+2</sub>（n：自然数）で示されるガス、あるいはこれらの混合ガスを用いることを特徴とする。

【0078】これにより、ゲート電極の側壁を形成するためのエッチング工程において、窒酸化膜／酸化膜の選択比を向上させることが可能となり、より簡略化された工程で、エッチングストップとして機能し得る窒酸化膜を形成することができる。この結果、オーバーエッチングに起因する半導体特性の劣化を防止し、半導体素子の特性を向上させることができると共に、製造コストの低減を図ることができるという効果を奏する。

【0079】請求項3の発明に係る半導体素子の製造方向は、第2工程で形成された窒酸化膜の上層にBPSGを堆積し、このBPSGを酸化性雰囲気で行うリフロー工程をさらに含む。

【0080】これにより、酸化性雰囲気で行うリフローを行ってBPSGの平坦性を向上させることができ、さらに、この時に第2工程で形成された窒酸化膜が酸化バリアとして機能して、シリコン基板の酸化およびゲート電極の酸化が防止されるため、これらの酸化に起因する半導体特性の劣化を回避することができる。より詳しくは、P型領域のコンタクト抵抗の増大、トランジスタスピードの低下、配線抵抗の増加等を防止することが可能となる。この結果、より優れた特性を有する半導体素子を提供することが可能となるという効果を奏する。

【図面の簡単な説明】

【図1】同図（a）ないし（f）は、本発明の実施に係る一形態を示し、MOS型トランジスタの製造方法の主要段階における状態を模式的に示す断面図である。

【図2】同図（a）ないし（d）は、本発明の実施に係る



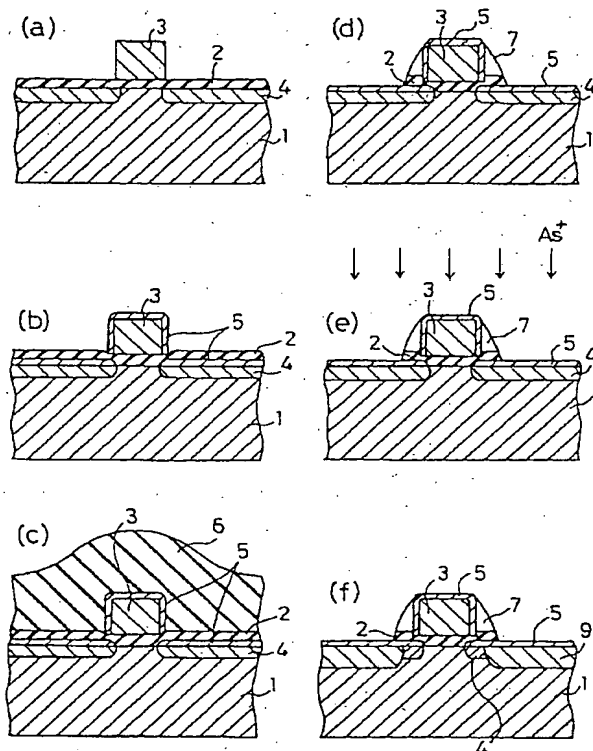
る他の形態を示し、MOS型トランジスタの製造方法の主要段階における状態を模式的に示す断面図である。

【図3】同図(a)ないし(c)は、従来のMOS型トランジスタの製造方法の主要段階における状態を模式的に示す断面図である。

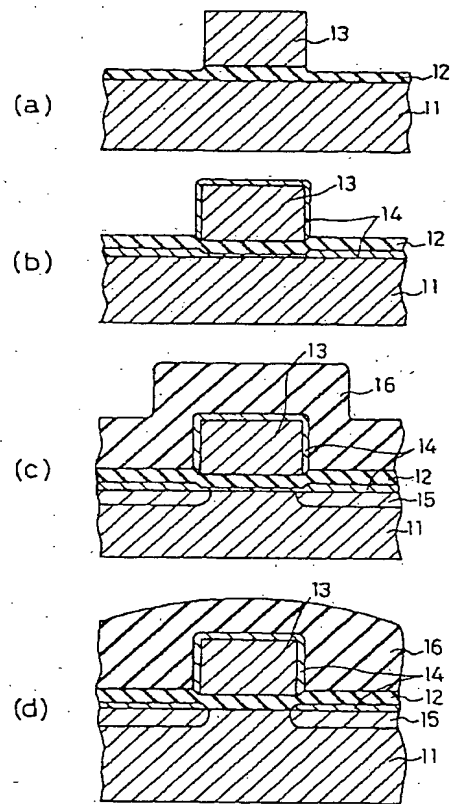
【図4】同図(a)および(b)は、従来のMOS型トランジスタの製造方法の主要段階における状態を模式的に示す断面図である。

【図5】同図(a)ないし(d)は、従来のMOS型ト

【図1】



【図2】

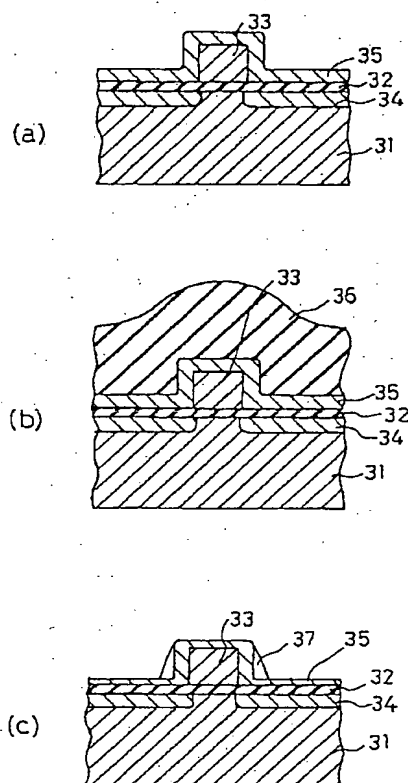


ランジスタの製造方法の主要段階における状態を模式的に示す断面図である。

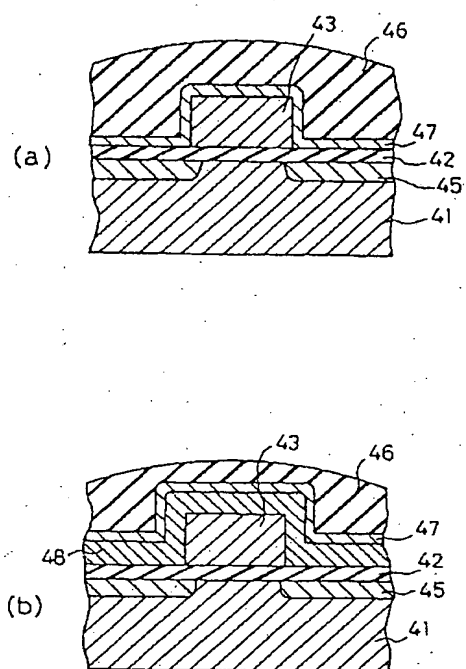
【符号の説明】

- 1 シリコン基板
- 2 ゲート酸化膜
- 3 ゲート電極
- 6 HTO膜(酸化膜)
- 7 サイドウォール(ゲート電極側壁)
- 16 BPSG/NSG積層膜

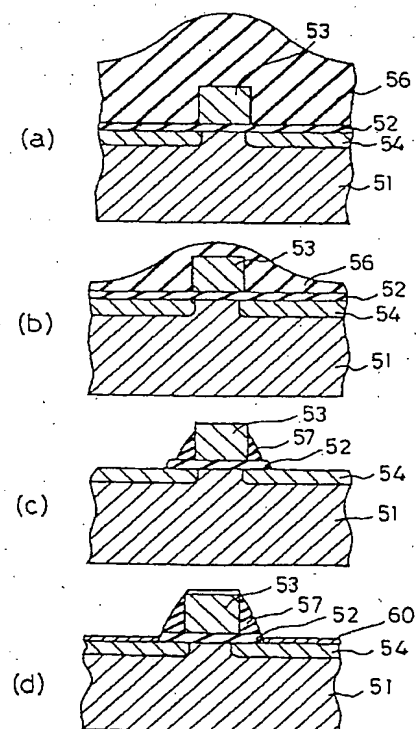
【図 3】



【図 4】



【図 5】



[JP,09-129872,A]

\* NOTICES \*

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.

2. \*\*\*\* shows the word which can not be translated.

3. In the drawings, any words are not translated.

[Claim(s)]

[Claim 1] The 1st process which forms gate oxide and a gate electrode on a silicon substrate in the manufacture approach of an MOS mold semiconductor device, and 100% An N<sub>2</sub>O gas ambient atmosphere or N<sub>2</sub>O The manufacture approach of the semiconductor device characterized by including the 2nd process which \*\*\*\*\* the above-mentioned silicon substrate in the mixed-gas ambient atmosphere of N<sub>2</sub>.

[Claim 2] Including further the 3rd process which deposits an oxide film on the above-mentioned silicon substrate, etches this oxide film, and forms a gate electrode side attachment wall, it sets to etching of the 3rd process of the above, and is a molecular formula. The gas, the molecular formula which are shown by C<sub>m</sub>+1F<sub>2m+2</sub> (m: natural number) The manufacture approach of the semiconductor device according to claim 1 characterized by using the gas shown by C<sub>2n</sub>F<sub>2n+2</sub> (n: natural number), or these mixed gas.

[Claim 3] The manufacture approach of the semiconductor device according to claim 1 characterized by including further the process which deposits BPSG on the upper layer of \*\*\*\*\* formed at the 2nd process of the above, and carries out a reflow of this BPSG by the oxidizing atmosphere.

[Detailed Description of the Invention]

[0001]

[Field of the Invention] Especially this invention relates to the manufacture approach of the MOS transistor of the Rheydt Lee doped drain (Lightly Doped Drain: call LDD hereafter) structure about the manufacture approach of a semiconductor device.

[0002]

[Description of the Prior Art] Conventionally, the following approaches are learned as the manufacture approach of the MOS transistor of LDD structure. First, gate oxide and a gate electrode are formed in a P type silicon substrate, and the low concentration

n mold field of a source drain is formed by carrying out the ion implantation of the low-concentration n mold impurity by using this gate electrode as a mask next. Next, an oxide film is formed so that the front face of the above-mentioned gate oxide and a gate electrode may be covered using a CVD method.

[0003] Then, it leaves the above-mentioned oxide film only to the side attachment wall (sidewall: side wall) of a gate electrode, and etching removes an oxide film. And a high concentration n mold field is formed by carrying out the ion implantation of the high-concentration n mold impurity by using a gate electrode and the above-mentioned sidewall as a mask. A MOS transistor with LDD structure is manufactured according to the above process.

[0004] However, the above-mentioned manufacture approach had the problem that the thickness control at the time of the etchback of a sidewall was difficult. That is, when gate oxide disappears completely and etching advances even to a silicon substrate at the time of the etchback of a sidewall, it originates in the damage of etching and there is a possibility of inviting the increment in the junction leakage current of a diffusion layer and the fall of the drive capacity of a transistor.

[0005] For this reason, dry cleaning and the sentiment (Dry and Wet) which stop the dry etching process of a sidewall on the way conventionally, and process the remainder by the wet etchant of a hydrofluoric acid (HF) system Law is adopted partly. However, by this technique, although the problem of the increment in junction leakage current is solved, the following new problems occur.

[0006] That is, since the etching rate in wet etchant is larger than the gate oxide on an active region (field which serves as a source drain behind), although the CVD oxide film of a sidewall disappears conversely or the CVD oxide film as a sidewall of a gate electrode does not disappear, it becomes very small, and has a possibility of stopping achieving the duty as a sidewall. Therefore, it is necessary to end wet etching with extent to which gate oxide remains on an active region.

[0007] However, the thickness of the gate oxide which remains on an active region is easily changed by fluctuation of the dirty rate of wet etching, dispersion of the deposition thickness of a CVD oxide film, etc. Thickness fluctuation of this residual membrane is set like ion grouting to subsequent source drain fields, and poses a problem. That is, the more a residual membrane becomes thick, at the time of an ion implantation, the ion which stops in the film increases, the effective high impurity concentration of a source drain falls, and, the more increase of contact resistance is invited.

[0008] Moreover, on the other hand, the method of preparing a nitride etc. as an etching

stopper for controlling advance of etching to a silicon substrate between a CVD oxide film and a silicon substrate is proposed as indicated by JP,62-136022,A or JP,62-173763,A. In case the above-mentioned conventional nitride etches the above-mentioned oxide film 36 and forms a sidewall 37 in the side face of the gate electrode 33 as that example is shown in drawing 3 (a), and it is prepared in the front face of the gate electrode 33 and gate oxide 32, an oxide film 36 is deposited on the upper layer of this nitride 35 with a CVD method as shown in this drawing (b), and further shown in this drawing (c), it prevents that etching advances to a silicon substrate 31. Thus, the problem of the over etching of a silicon substrate itself is mostly avoidable by forming an etching stopper.

[0009] Moreover, the approach of forming silicon oxide (the following and BPSG (Boron Phosphorus Silicate Glass) it being called the film for short) including boron and phosphorus by the reflow as an interlayer insulation film of an MOS transistor is learned. This BPSG film has the property which carries out self-flattening by heat treatment, and is effective in raising the covering nature of wiring of aluminum etc.

[0010] The conventional proposal of the approach of it being desirable, for example, processing in a high-pressure steam gas ambient atmosphere in that the surface smoothness of direction which performs the reflow of BPSG under an oxidizing atmosphere rather than an inert atmosphere improves, is made. However, a silicon substrate oxidizes by the oxygen which diffused the inside of BPSG, and a reflow under an oxidizing atmosphere has a problem in that degradation of various semiconductor device properties is produced.

[0011] for this reason -- for example, the silicon nitride (SiN) made to deposit on JP,58-98934,A, JP,61-247073,A, JP,63-265431,A, or JP,4-196222,A under the BPSG layer 46 with a CVD method as shown in drawing 4 (a) or (b) -- the approach of using 47 as oxidation barrier under an oxidizing quality ambient atmosphere is indicated. In addition, as for 41, in this drawing (a) and (b), a silicon substrate and 42 is [ that gate oxide and 43 are active regions and have deposited a gate electrode and 45 on the gate electrode 43 in this drawing (b) ] the oxide films 48 by the CVD method.

[0012]

[Problem(s) to be Solved by the Invention] However, by the above-mentioned conventional approach, other problems occur by the nitride formed as an etching stopper or oxidation barrier. One is degradation of device properties, such as an increment in the junction leakage current by the film stress of a nitride, and a fall of the hot electron resistance of gate oxide. Si-H resulting from the precursor raw material of the nitride in which another was formed by the CVD method -- or -- N-H coupling The

hydrogen which remained in the SiN film and was dissociated by subsequent heat treatments is the point of fluctuating the interface state density of gate oxide.

[0013] After oxidizing thermally again, oxidizing an active-region front face, once rationalizing the conditions of dry cleaning and wet etching in above-mentioned dry cleaning and the above-mentioned sentiment method, respectively and removing the oxide film of an active region at a wet etching process instead of using a nitride in consideration of the fault of such a nitride, and forming the thermal oxidation film, the method of performing the ion implantation of a source drain is also learned. That is, as shown in drawing 5 (a), an oxide film 56 is deposited with a CVD method on a MOS transistor, and according to a dry etching process, as shown in this drawing (b), this oxide film 56 is etched to the middle. Furthermore, according to a wet etching process, it leaves a sidewall 57 to the side face of the gate electrode 53, and the above-mentioned oxide film 56 is removed. At this time, as shown in this drawing (c), the oxide film 56 of an active region is removed completely. Next, it oxidizes thermally, and as shown in this drawing (d), the thermal oxidation film 60 is formed in active-region 54 front face. In this case, the thermal oxidation film 60 formed in the active region 54 takes effect in respect of prevention of the field channeling of a source drain, and prevention with the out diffuse of the ion in activation annealing of subsequent impregnation layers, and an auto dope. However, this approach needs a complicated process and it has the trouble of inviting the jump of a manufacturing cost.

[0014] This invention was made in view of each above-mentioned trouble, aims at solution of degradation of the device property by the film stress and hydrogen which were the trouble of the conventional nitride, and aims at offering the MOS transistor of LDD structure at the process simplified more.

[0015]

[Means for Solving the Problem] It is [ the 1st process at which the manufacture approach of a semiconductor device according to claim 1 forms gate oxide and a gate electrode on a silicon substrate in the manufacture approach of an MOS mold semiconductor device in order to solve the above-mentioned technical problem, and ] 100%. An N<sub>2</sub>O gas ambient atmosphere or N<sub>2</sub>O It is characterized by including the 2nd process which \*\*\*\*\* the above-mentioned silicon substrate in the mixed-gas ambient atmosphere of N<sub>2</sub>.

[0016] By the manufacture approach according to claim 1, the silicon substrate which formed gate oxide and a gate electrode in the 1st process is \*\*\*\*\* (ed) in the 2nd process. Thereby, while \*\*\*\*\* is formed in the front face of a gate electrode, it is the inside of the gate oxide of a silicon substrate surface. \*\*\*\*\* is formed in the interface of a

silicon substrate by spreading N<sub>2</sub>O, arriving at a substrate front face, and reacting with the silicon atom of a substrate. These \*\*\*\*\* demonstrate various effectiveness in the process of common knowledge of henceforth in the manufacture approach of the semiconductor device of an MOS mold. For example, there is an operation which prevents the field channeling of impregnation ion in the process of the ion implantation to a source drain field. Or in the annealing process after an ion implantation, it acts as the out diffuse barrier or auto dope barrier of impregnation ion. Moreover, in the etching process for forming the gate electrode side attachment wall generally called a sidewall, it functions as an etching stopper which inhibits over etching.

[0017] the nitride currently conventionally formed by the CVD method etc. as an etching stopper -- the inside of the film -- a precursor raw material -- originating -- Si-H coupling -- or -- N-H coupling remained, the trap of the hydrogen dissociated from these association in the subsequent heat treatment process was carried out to gate oxide, and it had the problem that the threshold of a semiconductor device changed with degrading hot carrier resistance or the electron traps which are generated as a result. on the other hand -- the inside of \*\*\*\*\* by the above-mentioned manufacture approach -- Si-H association -- or -- In order that N-H coupling may hardly remain, the above-mentioned problem is solved.

[0018] moreover, \*\*\*\*\* formed by the above-mentioned manufacture approach -- the conventional LPCVD -- as compared with \*\*\*\*\* formed of law etc., film stress is stopped low. That is, the increment in junction leakage current and the fall of the hot electron resistance of gate oxide resulting from the film stress of \*\*\*\*\* are controlled, and improvement in a semiconductor device property can be aimed at conventionally.

[0019] Moreover, it is N<sub>2</sub>O as recent years and gate oxide. Although the proposal using processed \*\*\*\*\* is also made, \*\*\*\*\* used as gate oxide needs to stop the nitrogen content low with about 1%. This is the fall and TDDB (Time Dependent Dielectric Breakdown) of dielectric-breakdown pressure-proofing by the increment in the micro roughness of a silicon substrate surface resulting from the introduced nitrogen, if the nitrogen content in gate oxide is high. It is because un-arranging, such as a fall of the dependability to depend, arises. In order for \*\*\*\*\* to be able to inhibit advance of etching to a silicon substrate, the conditions whether thickness is thick or nitrogen content is high must be fulfilled. That is, although such gate oxide does not have enough nitrogen content to use as an etching stopper as it is, either, if re-\*\*\*\*\* is performed in the 2nd process of the above and nitrogen content is raised, it can act effectively as an etching stopper.

[0020] As mentioned above, according to the manufacture approach of claim 1, it

becomes possible to form \*\*\*\*\* which can demonstrate various effectiveness which was mentioned above in each process of an MOS mold semiconductor device, without producing degradation of a semiconductor device property.

[0021] The manufacture approach of a semiconductor device according to claim 2 is set to the manufacture approach according to claim 1. It sets to etching of the 3rd process of the above, including further the 3rd process which deposits an oxide film on the above-mentioned silicon substrate, etches this oxide film, and forms a gate electrode side attachment wall. Molecular formula  $C_{m+1}F_{2m+2}$  The gas, the molecular formula which are shown by 2 (m: natural number) It is characterized by using the gas shown by  $C_{2n}F_{2n+2}$  (n: natural number), or these mixed gas.

[0022] By the manufacture approach according to claim 2, the silicon substrate which formed gate oxide and a gate electrode in the 1st process is \*\*\*\*\* (ed) in the 2nd process, and an oxide film is further deposited on this silicon substrate, and it etches so that this oxide film may remain only to the side of a gate electrode. At this time, it is a molecular formula as etching gas. The gas, the molecular formula which are shown by  $C_{m+1}F_{2m+2}$  (m: natural number) The mixed gas of the gas shown by  $C_{2n}F_{2n+2}$  (n: natural number) or these gas is used.

[0023] \*\*\*\*\* formed at the 2nd process, and 100% An  $N_2O$  gas ambient atmosphere or  $N_2O$  It is  $N_2O$  by diluting with  $N_2$ . Since it is formed in the mixed-gas ambient atmosphere by which decomposition is controlled, \*\*\*\*\* progresses efficiently and has comparatively high nitrogen content. For this reason, the above-mentioned \*\*\*\*\* may function effectively as an etching stopper which inhibits over etching in the 3rd process.

[0024] However, in order to make the above-mentioned \*\*\*\*\* act still more effectively as an etching stopper, it is desirable to raise relatively the selection ratio of the oxide film on the silicon substrate to \*\*\*\*\* . For that, it is effective to make a carbon compound deposit on the surface of \*\*\*\*\* at the time of etching, and to reduce the etching rate of \*\*\*\*\* .

[0025] From such a viewpoint, what has the content of carbon higher than a fluorine among  $CF$  system gas is suitably used as a type of gas used at the time of etching of the 3rd process. namely, molecular formula the whole family of fluoro cycloalkane shown by  $C_{m+1}F_{2m+2}$  (m: natural number) -- or molecular formula The whole family of the fluoro alkene shown by  $C_{2n}F_{2n+2}$  (n: natural number) can be used. Moreover, it is also possible to use these mixed gas and the same effectiveness is acquired.

[0026] The carbon-deposit object which will be generated by the carbon plasma if this kind of gas is used is  $CO_2$  which the etching rate of \*\*\*\*\* falls since wrap frequency



increases the front face of \*\*\*\*\*, and reacts with the carbon plasma with an oxide film on the other hand, and is produced. Etching of an oxide film advances further. Consequently, CF<sub>4</sub> generally used conventionally As compared with etching by the gas of CHF<sub>3</sub> system, the selection ratio of \*\*\*\*\*/oxide film can be raised. Thus, the situation where \*\*\*\*\* disappears at the time of etching of an oxide film, and etching advances even to a silicon substrate is avoidable by having raised the selection ratio of \*\*\*\*\*/oxide film.

[0027] Furthermore, by having raised the selection ratio of \*\*\*\*\*/oxide film as mentioned above, even when the thickness of \*\*\*\*\* is thinner than before, it becomes possible to make it act effectively as an etching stopper. That is, it may be comparatively thin, possibility that will set like ion grouting after the 3rd process, and impregnation ion will stop in \*\*\*\*\* by this becomes low, and \*\*\*\*\* formed at the 2nd process can prevent dispersion in a semiconductor device property.

[0028] Moreover, it becomes easy to make it remain on a silicon substrate so that \*\*\*\*\* may not be removed completely. This residual \*\*\*\*\* acts effectively in prevention of prevention of the field channeling of the impregnation ion which can be set like next ion grouting, the out diffuse of the impregnation ion in the activation annealing process of an ion-implantation layer, or an auto dope. The approach of forming the thermal oxidation film in an active region for the purpose of acquiring the same operation as above residual \*\*\*\*\* conventionally is learned. By the above-mentioned conventional approach, the oxide film formed in the active region was once removed by etching, it oxidized thermally again, and the complicated procedure of carrying out the reconstitution of the thermal oxidation film was required for the active-region front face. On the other hand, by the manufacture approach of this invention, since the above-mentioned thermal oxidation film and \*\*\*\*\* which has the same function can be formed in a comparatively easy procedure, the effectiveness that reduction of a manufacturing cost can be aimed at is also done so.

[0029] As mentioned above, according to the manufacture approach according to claim 2, it becomes possible to raise the selection ratio of \*\*\*\*\*/oxide film in the etching process for forming the side attachment wall of a gate electrode, and \*\*\*\*\* which may function as an etching stopper can be formed at the process simplified more.

[0030] In the manufacture approach according to claim 1, the manufacture approach of a semiconductor device according to claim 3 deposits BPSG on the upper layer of \*\*\*\*\* formed at the 2nd process of the above, and is characterized by including further the process which carries out a reflow of this BPSG by the oxidizing atmosphere.

[0031] By the manufacture approach according to claim 3, the silicon substrate which

formed gate oxide and a gate electrode in the 1st process is \*\*\*\*\* (ed) in the 2nd process, \*\*\*\*\* is formed, further, BPSG (Boron Phosphorus Silicates Glass) is deposited on the upper layer of this \*\*\*\*\* , and an oxidizing atmosphere performs the reflow of this BPSG. By performing the reflow of BPSG by the oxidizing atmosphere, the surface smoothness of BPSG after a reflow can be raised as compared with a reflow under an inert atmosphere like nitrogen gas. In addition, as an oxidizing atmosphere, a desiccation oxygen ambient atmosphere, a halogen content oxidizing atmosphere, or a water steamy ambient atmosphere can be mentioned, for example.

[0032] By the way, conventionally, a reflow in an oxidizing atmosphere may have caused various problems, such as a fall of the transistor speed by increase of contact resistance of a P type field, or increase of the gate oxide of the perimeter of the gate, when oxidation advanced even to the downward silicon substrate and downward gate electrode of BPSG. Such a phenomenon may be notably generated in a strong oxidizing atmosphere like a water steamy ambient atmosphere. However, since \*\*\*\*\* formed at the 2nd process functions as oxidization barrier according to the above-mentioned manufacture approach, it becomes possible to avoid generating of the above problems.

[0033] Namely, by the above-mentioned manufacture approach, as for \*\*\*\*\* formed by \*\*\*\*\* in the 2nd process, the nitrogen content of a \*\*\*\*\* surface has peak concentration in a silicon substrate interface. Moreover, an N<sub>2</sub>O gas ambient atmosphere or N<sub>2</sub>O By having been formed in the mixed-gas ambient atmosphere of N<sub>2</sub>, the above-mentioned \*\*\*\*\* has the nitrogen content of comparatively high concentration, and in order to control diffusion of oxygen or an oxidization kind as oxidization barrier, it may function effectively.

[0034] Moreover, even if processing temperature is low temperature comparatively by performing the reflow of BPSG by the oxidizing atmosphere, flattening of a reflow configuration is promoted. Thus, when a reflow under low temperature becomes possible, the effectiveness that diffusion of the impurity of a substrate can be controlled also does so.

[0035] As mentioned above, by the manufacture approach according to claim 3, since can perform the reflow of BPSG by the oxidizing atmosphere, the surface smoothness of BPSG can be raised, \*\*\*\*\* formed at the 2nd process at this time functions as oxidization barrier further and oxidization of a silicon substrate and oxidization of a gate electrode are prevented, it becomes possible to prevent degradation of various semi-conductor properties. It becomes possible in more detail to prevent increase of contact resistance of a P type field, the fall of transistor speed, the increment in wiring resistance, etc.

[0036]

[Embodiment of the Invention]

[Gestalt 1 of operation] It will be as follows if one gestalt of operation of this invention is explained based on drawing 1 (a) thru/or (f). In addition, drawing 1 (a) thru/or (f) are the sectional views showing typically the condition in the main phases of the manufacture approach of a MOS transistor. As shown in this drawing (a), first, gate oxide 2 was formed on the front face of the p-type silicon substrate 1, and the gate electrode 3 was further formed in it on the front face. In addition, thickness of the above-mentioned gate oxide 2 was set to 14nm. Furthermore, the ion implantation of LDD was carried out in acceleration voltage 60 keV and  $10^{13}$  [of doses]  $\text{cm}^2$ , and the LDD layer 4 was formed.

[0037] Then, a silicon substrate 1 is front-washed by the hydrofluoric acid (HF), and it is about gate oxide 2. After etching 5nm, it introduces to a heat treating furnace. As heat treatment for 30 minutes is performed at 950 degree C and it is shown in drawing 1 (b) in an  $\text{N}_2\text{O}$  ambient atmosphere 100%, it is abbreviation about \*\*\*\*\* 5 on the LDD layer 4 and to the surroundings of the gate electrode 3. Membranes were formed so that it might become 4nm thickness. At this time, it is introduced by the concentration distribution whose nitrogen has a peak in a silicon interface, and \*\*\*\*\* which grew itself. Since it becomes the diffusion barrier of  $\text{N}_2\text{O}$ , growth of \*\*\*\*\* 5 stops automatically.

[0038] In addition, having performed above \*\*\*\*\* after patterning of the gate electrode 3 is based on the following reasons. That is, \*\*\*\*\* 5 formed on condition that a \*\*\*\* has high nitrogen content, and since the micro roughness of a silicon interface is large, it is not suitable as gate dielectric film. For this reason, it is required to perform \*\*\*\*\* after forming the gate electrode 3 and gate oxide 2, and to form above-mentioned \*\*\*\*\* 5. in addition -- and although explained below, since above-mentioned \*\*\*\*\* 5 needs to function as an etching stopper which controls over etching at the time of etching of a sidewall, it must be formed before deposition of the HTO film 6 explained below.

[0039] As mentioned above, after forming \*\*\*\*\* 5 by \*\*\*\*\* it is CVD (Chemical Vapor Deposition). By law, it is HTO (High Temperature Oxide). It is made to deposit by the thickness of 300nm, and as shown in drawing 1 (c), the HTO film 6 is formed.

[0040] Then, etching removes the HTO film 6 on the gate electrode 3 and the LDD layer 4 by the low power of 200W using  $\text{C}_4\text{F}_8$  gas. Under the present circumstances, \*\*\*\*\* 5 currently formed on the LDD layer 4 functions as an etching stopper. and the selection ratio of  $\text{SiO}_2/\text{SiN}$  improves, and by having set up the class of etching gas and the

conditions of exposure light as mentioned above shows to drawing 1 (d) -- as -- \*\*\*\*\* 5 -- about -- It remains as a residual membrane which is 2nm, and a sidewall 7 is formed in the side face of the gate electrode 3.

[0041] Then, as shown in drawing 1 (e), it let this \*\*\*\*\* 5 pass and the ion implantation of the arsenic was carried out in acceleration voltage 60keV and 1015/cm<sup>2</sup> of doses. At the time of this ion implantation, surface \*\*\*\*\* 5 acts as a field channeling control layer of ion.

[0042] Next, this silicon substrate 1 is introduced to a heat treating furnace, and it is under an inert atmosphere. Annealing of 1 hour was performed at 800 degrees C. Thereby, as shown in drawing 1 (f), the LDD layer 4 and the source drain field 9 are activated and formed. in addition, the time of this annealing -- an active-region top -- about -- \*\*\*\*\* 5 which remains by 2nm thickness acts effectively as the out diffuse barrier and auto dope barrier of impregnation ion.

[0043] A MOS transistor with LDD structure is completed according to the above process.

[0044] As mentioned above, it is abbreviation to an active region, without removing \*\*\*\*\* 5 completely at the time of the etchback of a sidewall according to the manufacture approach concerning the gestalt of this operation. Since it remains as a 2nm residual membrane, it prevents that etching advances even to a silicon substrate 1 at the time of the above-mentioned etchback. Furthermore, the residual membrane of above-mentioned \*\*\*\*\* 5 is set like subsequent ion grouting, prevents the field channeling of impregnation ion, and acts as the out diffuse barrier or auto dope barrier of impregnation ion further at the time of activity annealing of subsequent impregnation ion. Moreover, the thickness of the residual membrane of \*\*\*\*\* 5 is fully thin to extent which does not become active jamming of an ion implantation. Consequently, degradation of the device property of a semiconductor device can be prevented.

[0045] moreover, \*\*\*\*\* [ in / as compared with \*\*\*\*\* formed with the conventional CVD method / this operation gestalt ] 5 -- the inside of the film -- Si-H association -- or -- N-H coupling is not included. that is, -- \*\*\*\*\* 5 in this operation gestalt although the above-mentioned conventional \*\*\*\*\* had the trouble that the hydrogen dissociated from these association at the time of heat treatment fluctuated the interface state density of gate oxide -- Si-H association -- and -- Since there is no possibility that N-H coupling may remain, the problem of degradation of the semiconductor device property by hydrogen is solved.

[0046] Moreover, when the film stress of the residual membrane after the sidewall

etching process of \*\*\*\*\* 5 was measured, it was the compressive stress of  $2 \cdot 4 \times 10^9$  dyn/cm<sup>2</sup>. On the other hand, the film stress of the night RAIDO film by the reduced pressure CVD method with which it is generally conventionally used as an etching stopper, and film stress is said to be comparatively small is an about two  $12 \cdot 18 \times 10^9$  dyn/cm tensile stress. According to the manufacture approach of the gestalt this operation, it is possible to reduce the film stress of \*\*\*\*\* so that clearly from this. Moreover, although it is necessary to form an insulating protective coat between metal wiring after semiconductor device formation, SiO<sub>2</sub> film (NSG, BPSG, etc.) according [ these insulator layers ] to a CVD method is used, and, generally those stress stress is tensile stresses. It can set in this operation gestalt. Since stress is compression stress, N<sub>2</sub>O \*\*\*\*\* has the effectiveness which eases the film stress of SiO<sub>2</sub> film by the above-mentioned CVD method.

[0047] In addition, in order for \*\*\*\*\* 5 to act on an effective target as an etching stopper in the etching process of the above-mentioned sidewall, the thickness of \*\*\*\*\* 5 is thick or it is required for the nitrogen content of \*\*\*\*\* 5 to be high. in the aforementioned process, the growth thickness of \*\*\*\*\* 5 is dependent on processing temperature -- the bottom of conditions of 950 degree C -- the thickness of \*\*\*\*\* 5 -- abbreviation It is set to about 3-4nm, and is comparatively thin. For this reason, in order to make nitrogen content of \*\*\*\*\* 5 as high as possible, as it described above, it is within a heat treating furnace. It is desirable to process in an N<sub>2</sub>O ambient atmosphere 100%, and, thereby, it can make nitrogen content of \*\*\*\*\* 5 comparatively high concentration (about 3-4%)..

[0048] In addition, the above It is effective when processing N<sub>2</sub>O gas in the ambient atmosphere diluted with N<sub>2</sub> gas in addition to the approach of processing in an N<sub>2</sub>O ambient atmosphere 100% also raises nitrogen content. This reason is explained below. The equilibrium of N<sub>2</sub>O is as being shown in following \*\* 1.

[0049]

[Formula 1]

[0050] Equilibrium moves to a left part side by [ which are shown in the above-ization 1 ] diluting like and N<sub>2</sub>O gas with N<sub>2</sub> gas. That is, it can prevent N<sub>2</sub>O decomposing and stopping contributing to \*\*\*\*\*, and the nitrogen content of \*\*\*\*\* 5 can be raised.

[0051] Moreover, with the usual oxidation reaction, since the activation energy of reaction time is high to the same extent, at low temperature, \*\*\*\*\* cannot produce

\*\*\*\*\* of Si by N<sub>2</sub>O easily, and the growth thickness of \*\*\*\*\* 5 becomes large, so that the processing temperature within a heat treating furnace becomes an elevated temperature. However, under an excessive elevated temperature, since oxidation advances by O<sub>2</sub> produced in decomposition of N<sub>2</sub>O, the problem that the nitrogen content of \*\*\*\*\* 5 falls arises. Therefore, it is to processing temperature, 700-1000 degrees C, and a pan. It is desirable to control in the range of 850 to 950 degree C.

[0052] Moreover, it is, so that the thickness of the gate oxide 2 on an active region (LDD layer 4) is thin in case \*\*\*\*\* is performed. Since it is easy to diffuse N<sub>2</sub>O, it is advantageous, but it has become in use to form the thickness of gate oxide in about 12nm in recent years, and since film decrease of this gate oxide 2 is carried out and it is thin enough by the etching processing at the time of formation of the gate electrode 3, it does not pose especially a problem.

[0053] Moreover, it is comparatively soft in recent years. In such \*\*\*\*\* , although the proposal using \*\*\*\*\* which gave about 1% of low-concentration nitrogen content by N<sub>2</sub>O processing as gate dielectric film is also made, since nitrogen content is low, at the time of the etchback of a sidewall, a selection ratio with an oxide film is low, and control of etchback is difficult. However, even if it is the case where such \*\*\*\*\* is used, it becomes possible by performing hard re-\*\*\*\*\* , as this operation gestalt explained for nitrogen content to be raised and for it to be made to function effectively as an etching stopper.

[0054] In addition, the above-mentioned gestalt of operation does not limit this invention, and modification various by within the limits of invention is possible for it. For example, although the example which used C<sub>4</sub>F<sub>8</sub> gas as etching gas was explained above A type of gas with more carbon not only among this but CF system gas than a fluorine, C<sub>n</sub>+1F<sub>2n+2</sub> [ namely, ] -- or -- C<sub>2n</sub>F<sub>2n+2</sub> By using the gas of the fluoro cycloalkane expressed with a molecular formula, or a fluoro alkene system It is possible to raise the selection ratio of SiO<sub>2</sub>/SiN, and to make \*\*\*\*\* 5 remain at the time of the etchback of a LDD sidewall.

[0055] In addition, generally it is conventionally used as etching gas with the above-mentioned type of gas by experiment. If the selection ratio of SiO<sub>2</sub>/SiN in each with CF<sub>4</sub> or CHF<sub>3</sub> system gas is surveyed 1-2 of conventional gas -- receiving -- \*\*\*\*\* C<sub>n</sub>+1F<sub>2n+2</sub> -- or -- C<sub>2n</sub>F<sub>2n+2</sub> By etching by the gas of the fluoro cycloalkane expressed with a molecular formula, or a fluoro alkene system, it has checked that a high selection ratio called 10-20 could be obtained. Therefore, the thickness of \*\*\*\*\* 5 It is possible to make it fully function as three to 4 nm as an etching stopper, even if comparatively thin. Moreover, in the process of an ion implantation, the probability for impregnation

ion to stop in \*\*\*\*\* 5 becomes low according to the thickness of \*\*\*\*\* 5 being thin, and the effectiveness that dispersion in a semiconductor device property is controlled is done so.

[0056] Moreover, in order to raise the selection ratio of SiO<sub>2</sub>/SiN further, it is effective to make a carbon compound easy to lower RF power at the time of etching, and to deposit on \*\*\*\*\* 5 front face, to lower etching temperature so that it may be easy to deposit on silicon substrate 1 front face, without the generated carbon compound steam-izing, to worsen a degree of vacuum and to etch with high pressure more, etc.

[0057] Moreover, in case \*\*\*\*\* is performed, when apprehensive [ with the class of impregnation ion or its dose to the LDD layer 4 ] about a residual defect being introduced into an active region, a silicon substrate 1 is introduced to a heat treating furnace after an ion implantation, and it anneals in N<sub>2</sub> ambient atmosphere, and it is gas further. Package heat treatment which changes to N<sub>2</sub>O and \*\*\*\*\* may be performed.

[0058] In addition, lamp ANIRA other than a common heat treating furnace may be used for above \*\*\*\*\* , and it may perform it. Irradiate the light containing the wavelength absorbed by silicon, the silicon wafer itself is made to generate heat, lamp ANIRA can carry out the temperature up of the processed material quickly, and since the thickness of \*\*\*\*\* moreover formed grows in proportion to the processing time, control of thickness is easy for it.

[0059] In addition, rather than the approach of etching [ many ] and controlling thickness, after forming \*\*\*\*\* thickly in order that the residual film thickness after etching of \*\*\*\*\* may affect a device property although a thick film can be formed comparatively easily if lamp ANIRA is used, while making it grow up with sufficient control of a thin film, the approach of raising the selection ratio at the time of etching, and maintaining the thickness of the residual membrane of \*\*\*\*\* can absorb thickness fluctuation of an oxide film. Furthermore, it is advantageous also from a viewpoint of a micro loading effect that the direction of the latter approach becomes severe with detailed-izing of a pattern.

[0060] [Gestalt 2 of operation] It will be as follows if other gestalten concerning operation of this invention are explained based on drawing 2 (a) thru/or (d). In addition, this drawing (a) thru/or (d) are the sectional views showing the configuration of a MOS transistor in order of the main production processes.

[0061] First, in case a MOS transistor is manufactured, as shown in this drawing (a), gate oxide 12 is formed by 12nm thickness on the P type silicon substrate 11, and a CVD method is used further, and it is the silicide film. It deposits by the thickness of 400nm,

patterning of this silicide film is carried out with photolithography, and the gate electrode 13 is formed.

[0062] next, it introduces into a heat treating furnace, after washing the silicon substrate 11 above-mentioned whole -- 100%N<sub>2</sub>O ambient atmosphere It processes for 30 minutes at 950 degrees C. Pass etching processing and washing of the gate electrode 13 by this processing. The gate oxide 12 which was carrying out film decrease even at 5nm is N<sub>2</sub>O. In connection with a silicon substrate 11 being \*\*\*\*\* (ed), that thickness by gas It increases to 8nm. Moreover, at this time, as shown in this drawing (b), it is newly \*\*\*\*\* to the interface of the surroundings of the gate electrode 13, and a silicon substrate 11. (SiN) 14 9nm grew.

[0063] In addition, lamp ANIRA other than a common heat treating furnace may be used for above \*\*\*\*\*, and it may perform it. Irradiate the light containing the wavelength absorbed by silicon, the silicon wafer itself is made to generate heat, and lamp ANIRA can carry out the temperature up of the processed material quickly. Moreover, since the thickness of \*\*\*\*\* formed by \*\*\*\*\* using lamp ANIRA grows in proportion to the processing time, control of thickness is easy for it. As a concrete example of equipment of such lamp ANIRA, the heat pulse 4100 grade by the heat pulse company can be mentioned.

[0064] Then, the source drain 15 is formed according to the well-known approach, and, thereby, an MOS transistor is completed. as [ show / in this drawing (c) / on this MOS transistor ] -- the silicon oxide (NSG) film of 100 nm -- and -- If the BPSG/NSG cascade screen 16 is formed, the laminating of the 400nm BPSG film is carried out one by one with a CVD method and a reflow of the BPSG is carried out continuously, as shown in this drawing (d), the front face which carried out flattening will be obtained.

[0065] In addition, processing for 30 minutes is carried out by the reflow of above BPSG, and the PAIRO oxidizing atmosphere of 850 degree C. Thus, as compared with a reflow in an inert atmosphere like for example, N<sub>2</sub> gas, the fluidity of BPSG can raise increase and its surface smoothness by performing a reflow in a PAIRO oxidizing atmosphere. Moreover, in case the above-mentioned BPSG/NSG cascade screen 16 is formed, surface smoothness can be further raised by using the raw material of the tetra-ethoxy silane (TEOS) system instead of SiH<sub>4</sub> generally used conventionally as a precursor raw material.

[0066] Moreover, since flattening of a reflow configuration is promoted as mentioned above in an oxidizing atmosphere like a PAIRO oxidizing atmosphere, the processing under low temperature is comparatively possible. The processing under low temperature does so the effectiveness that it is desirable when controlling diffusion of



the impurity of a silicon substrate 11, and the dependability of a semiconductor device may be raised.

[0067] As mentioned above, since a level difference is reduced in case metal wiring of aluminum etc. is performed by having raised the surface smoothness of BPSG, the degree of freedom and dependability of wiring can be raised. Moreover, since \*\*\*\*\* 14 formed in the silicon interface functions as oxidization barrier at the time of a reflow, it can prevent degradation of the various semiconductor device properties produced by oxidization of a silicon substrate 11 or the gate electrode 13. Specifically, generating of fault, such as an increment in the wiring resistance by the fall of the transistor speed by increase of contact resistance of the P type field by oxidation of a silicon substrate and increase of the gate oxide of the perimeter of the gate or oxidation of a gate electrode, can be inhibited.

[0068] In addition, although the example which performs the reflow of BPSG by the PAIRO oxidizing atmosphere (steam ambient atmosphere) was explained above, you may carry out by the desiccation oxygen ambient atmosphere or the halogen content oxidizing atmosphere. Generally, although the reflow processing in a steam ambient atmosphere can expect the most remarkable effectiveness in flattening of BPSG, it does the almost same effectiveness so also in a desiccation oxygen ambient atmosphere and a halogen content oxidizing atmosphere. moreover, the point that a crystal defect is controlled by the effectiveness of a halogen, as for a reflow in a halogen content oxidizing atmosphere -- for example, -- Little H<sub>2</sub>O [2 / HCl and / O ] sub<sup>\*\*</sup>(ed) It is effective at the point that the further improvement of the surface smoothness of BPSG is expectable.

[0069] furthermore, \*\*\*\*\* 14 -- Si-H association -- and -- Since N-H coupling is not contained, degradation of a semiconductor device property, such as fluctuation of the interface state density of gate oxide which originates in hydrogen and is produced, or fluctuation of a transistor threshold, is prevented.

[0070] Moreover, although the above-mentioned NSG film functions as impurity diffusion barrier of BPSG, since \*\*\*\*\* also has the function of the impurity diffusion barrier, it is also omissible. In this case, it becomes possible to reduce a device level difference further.

[0071] Furthermore, since \*\*\*\*\* 14 functions also as barrier which prevents diffusion of moisture although moisture is contained in SOG when using a spin-on glass (SOG) as an interlayer film, the complex effectiveness that it can prevent also does so that the hot electron resistance of a semiconductor device deteriorates with moisture.

[0072] In addition, although the above explained the example which forms \*\*\*\*\* 14

before deposition of BPSG, using BPSG as an interlayer insulation film, thickness is fully thin, and it is the inside of the film. If it is the film of a class which N<sub>2</sub>O is spread and produces a silicon substrate 11 and a reaction, it is good also as a procedure in which \*\*\*\*\* is performed after formation of an interlayer insulation film.

[0073] Moreover, it cannot be overemphasized that formation of \*\*\*\*\* by N<sub>2</sub>O is applicable to the polycrystalline silicon formed above a silicon substrate 11.

[0074] Furthermore, when performing \*\*\*\*\* above As the gestalt 1 of said operation described although the example processed in an N<sub>2</sub>O ambient atmosphere 100% was explained in addition, it is with N<sub>2</sub>. Mixed gas with N<sub>2</sub>O may be used.

[0075]

[Effect of the Invention] As mentioned above, the manufacture approach of the semiconductor device concerning invention of claim 1 is [ the 1st process which forms gate oxide and a gate electrode on a silicon substrate, and ] 100%. An N<sub>2</sub>O gas ambient atmosphere or N<sub>2</sub>O The 2nd process which \*\*\*\*\* the above-mentioned silicon substrate in the mixed-gas ambient atmosphere of N<sub>2</sub> is included.

[0076] While becoming possible to form \*\*\*\*\* by which film stress was reduced by this, excluding the hydrogen which invites degradation of a semiconductor device and becoming possible to offer a semiconductor device according to the process simplified more, the effectiveness that the property of this semiconductor device can be raised is done so.

[0077] The manufacture approach of the semiconductor device concerning invention of claim 2 It sets to etching of the 3rd process of the above, including further the 3rd process which deposits an oxide film on a silicon substrate, etches this oxide film, and forms a gate electrode side attachment wall. Molecular formula The gas, the molecular formula which are shown by  $C_{m+1}F_{2m+2}$  (m: natural number) It is characterized by using the gas shown by  $C_{2n}F_{2n+2}$  (n: natural number), or these mixed gas.

[0078] Thereby, it becomes possible to raise the selection ratio of \*\*\*\*\*/oxide film in the etching process for forming the side attachment wall of a gate electrode, and \*\*\*\*\* which may function as an etching stopper can be formed at the process simplified more. Consequently, while being able to prevent degradation of the semiconductor property resulting from over etching and being able to raise the property of a semiconductor device, the effectiveness that reduction of a manufacturing cost can be aimed at is done so.

[0079] The manufacture direction of the semiconductor device concerning invention of claim 3 deposits BPSG on the upper layer of \*\*\*\*\* formed at the 2nd process, and includes further the process which carries out a reflow of this BPSG by the oxidizing

atmosphere.

[0080] Since can perform the reflow of BPSG by the oxidizing atmosphere, the surface smoothness of BPSG can be raised by this, \*\*\*\*\* formed at the 2nd process at this time functions as oxidization barrier further and oxidization of a silicon substrate and oxidization of a gate electrode are prevented, degradation of the semi-conductor property resulting from these oxidization is avoidable. It becomes possible in more detail to prevent increase of contact resistance of a P type field, the fall of transistor speed, the increment in wiring resistance, etc. Consequently, the effectiveness of becoming possible to offer the semiconductor device which has the more excellent property is done so.

[Brief Description of the Drawings]

[Drawing 1] This drawing (a) thru/or (f) are the sectional views in which showing one gestalt concerning operation of this invention, and showing typically the condition in the main phases of the manufacture approach of a MOS transistor.

[Drawing 2] This drawing (a) thru/or (d) are the sectional views in which showing other gestalten concerning operation of this invention, and showing typically the condition in the main phases of the manufacture approach of a MOS transistor.

[Drawing 3] This drawing (a) thru/or (c) are the sectional views showing typically the condition in the main phases of the manufacture approach of the conventional MOS transistor.

[Drawing 4] This drawing (a) and (b) are the sectional views showing typically the condition in the main phases of the manufacture approach of the conventional MOS transistor.

[Drawing 5] This drawing (a) thru/or (d) are the sectional views showing typically the condition in the main phases of the manufacture approach of the conventional MOS transistor.

[Description of Notations]

- 1 Silicon Substrate
  - 2 Gate Oxide
  - 3 Gate Electrode
  - 6 HTO Film (Oxide Film)
  - 7 Sidewall (Gate Electrode Side Attachment Wall)
  - 16 BPSG/NSG Cascade Screen
- 

[Translation done.]

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**